

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭61-107453

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)5月26日

G 06 F 13/14

D-7165-5B

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 モジュールアドレス設定回路

⑮ 特 願 昭59-228543

⑯ 出 願 昭59(1984)10月30日

⑰ 発 明 者 佐 野 幸 一 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑲ 代 理 人 弁理士 井ノ口 森

明 細 書

1. 発明の名称

モジュールアドレス設定回路

2. 特許請求の範囲

バスにより並列接続またはカスケード接続された複数のモジュールをそれぞれ、アドレス信号線上のモジュールアドレスによつて識別するモジュールアドレス設定方式において使用されるモジュール内部のアドレス設定回路であつて、自己のアドレスを記憶するためのアドレスレジスタと、前記自己のアドレスと前記モジュールアドレスとを比較するためのアドレス比較器と、前記アドレスレジスタにアドレスをセットするための制御信号を前記複数のモジュールの間でデジチエイン的に接続し、前記自己のアドレスと前記制御信号とにより順次、前記モジュールアドレスを識別するための識別回路とを具備して構成したことを特徴とするモジュールアドレス設定回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はバスにより並列接続、またはカスケード接続されたモジュールに対してモジュールアドレスを経済的に設定するアドレス設定回路に関する。

(従来の技術)

従来、バスによつて並列接続、またはカスケード接続されたモジュールを識別するためには、アドレス信号線上のアドレス情報と各モジュールの自己アドレスとを比較して両者の一致を検出してゐた。この種のアドレス識別方式においては、各モジュールにアドレス設定用のスイッチ、またはジャンパを設け、これを手動でセットすることによつて電子回路的にアドレス設定を行つてゐた。

(発明が解決しようとする問題点)

したがつて、上記構成においては、既に説明したようにアドレスを一つ一つ手作業によつて設定しなければならないと云う欠点があり、また、スイッチの信頼性が問題であると共に人手を介さなければアドレスの変更ができないと云う欠点もあつた。

本発明の目的は、各モジュールに自己のアドレスを記憶するためのアドレスレジスタ、およびこのアドレスレジスタにアドレスがセット済みであるか否かを識別するための識別回路を備え、上記アドレスレジスタにアドレスをセットするための制御信号を各モジュール間でデジチエイン的に接続し、アドレスセット制御信号がアクティブになつた場合に、各モジュールではアドレスレジスタにアドレスが既にセットされていれば、アドレスセット制御信号を次のモジュールへ中継し、未だセットされていなければ中継せず、その時のアドレス信号線上のアドレスデータをアドレスレジスタにセットするように動作させることによつて上記欠点を除去し、アドレス設定用スイッチまたはジャンパの代りに電氣的に、モジュールアドレスを自動的に設定できるように構成したアドレス設定回路を提供することにある。

(問題点を解決するための手段)

本発明によるアドレス設定回路は、バスにより並列接続またはカスケード接続された複数のモジ

ュールをそれぞれ、アドレス信号線上のモジュールアドレスによつて識別するモジュールアドレス設定方式において使用されるモジュールの内部に設置されたものである。

本発明において、モジュールアドレス設定回路はアドレスレジスタと、アドレス比較器と、識別回路とを具備して構成したものである。

アドレスレジスタは、自己のアドレスを記憶するためのものである。

アドレス比較器は、自己のアドレスとモジュールアドレスとを比較するためのものである。

識別回路は、アドレスレジスタにセットするための制御信号を複数のモジュールの間でデジチエイン的に接続し、自己のアドレスと制御信号とにより順次、モジュールアドレスを識別するためのものである。

(実施例)

次に、本発明の実施例について図面を参照して詳細に説明する。

第1図は、本発明によるモジュールアドレス設

定回路の一実施例を示すブロック図である。第2図は、各モジュールの内部のアドレス設定部分の回路構成を示すブロック図である。

第1図において、1は制御回路、21~24はそれぞれモジュールである。一方、第2図において、7はアドレスレジスタ、8はアドレス比較器、10は識別回路である。

第1図において、制御回路1に入出力するアドレスバス信号線3、およびデータ/制御バス信号線4は各モジュール21~24に対してバスを形成するように接続されている。アドレスセット制御信号線5、6は各モジュール間をデジチエインで接続するものである。第2図において各モジュール21~24の内部の詳細を示すと、アドレスバス信号線3はアドレスレジスタ7およびアドレス比較器8の"a"側の入力端子に接続され、アドレスレジスタ7の出力はアドレス比較器8の"b"側の入力端子に接続されている。アドレス設定が完了している場合には、制御回路1に接続されたアドレスバス信号線3によりモジュール21

~24の一つが選択されたことを示す信号が、制御回路1からモジュール選択信号線9上へ送出される。信号線5上のアドレスセット制御信号は識別回路10を経由して信号線6上へ送出され、次のモジュールへのアドレスセット制御信号となる。さらに、識別回路10はアドレスレジスタ7にアドレスがセットされているか否かを識別すると共に、アドレスレジスタ7へのアドレスの書き込みを制御する。

本発明の動作は、まず初期状態では各モジュール21~24のアドレスレジスタ7には、すべてアドレスがセットされていない状態である。制御回路1は先頭のモジュール21にセットすべきモジュールアドレスをアドレスバス信号線3上へ出力すると共に、アドレスセット制御信号線5を駆動する。信号線5は先頭のモジュール21の内部の識別回路10へ接続されており、この時に同モジュール内部のアドレスレジスタ7はセットされていない状態である。したがつて、識別回路10は信号線6上のアドレスセット制御信号を出力せ

ず、アドレスバス信号線3上に出力されているモジュールアドレスをアドレスレジスタ7へ書き込む。

次に、制御回路1は2番目のモジュールにセットすべきモジュールアドレスをアドレスバス信号線3上に出力すると共に、アドレスセット制御信号線5を駆動する。この場合、先頭モジュール2では既にアドレスレジスタ7にモジュールアドレスがセットされているので、識別回路10はアドレスセット制御信号線5上のアドレスセット信号を直接、アドレス制御信号線8に中継する。このアドレスセット信号が2番目のモジュール22に入力される。2番目のモジュール22では未だモジュールアドレスがセットされていないので、アドレスバス信号線3の内容は2番目のモジュール22のアドレスレジスタ(図示していない)にセットされる。

以下同様にして、制御回路1は順次、アドレスバス信号線3、およびアドレスセット制御信号線5を駆動することにより、先頭のモジュール21から順次、各モジュール21~24のモジュール

アドレスを設定することができる。すべてのモジュールを設定した後では、アドレスバス信号線3およびデータ/制御バス信号線4を使用することにより、各モジュールを選択したり、制御したりすることができる。

(発明の効果)

以上説明したように本発明では、バスを經由してレジスタにモジュールアドレスをセットすることにより、個々のモジュールへスイッチやジャンパを設ける必要がなく、自動的にモジュールアドレスを電氣的に設定することが可能となり、運用の省力化、システムの高信頼化、ならびに構成の柔軟化と云う効果がある。

4. 図面の簡単な説明

第1図は、本発明によるモジュールアドレス設定回路の一実施例を示すブロック図である。

第2図は、第1図に示した各モジュールの内部の詳細を示すブロック図である。

1・・・制御回路

21~24・・・モジュール

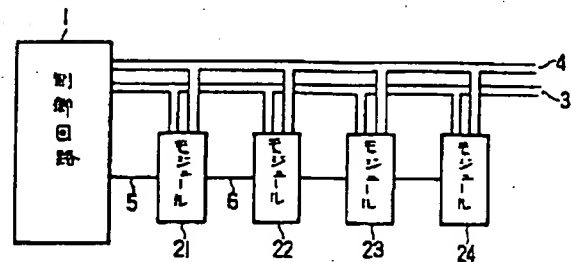
7・・・アドレスレジスタ

8・・・アドレス比較器

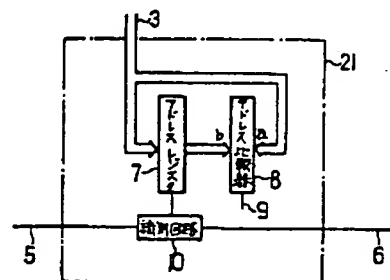
10・・・識別回路

3~6、9・・・信号線

★1図 FIG. 1



★2図 FIG. 2



特許出願人 日本電気株式会社
代理人 弁理士 井ノ口 壽